

Procesorové jádro pro použití ladícího prostředku UMON52

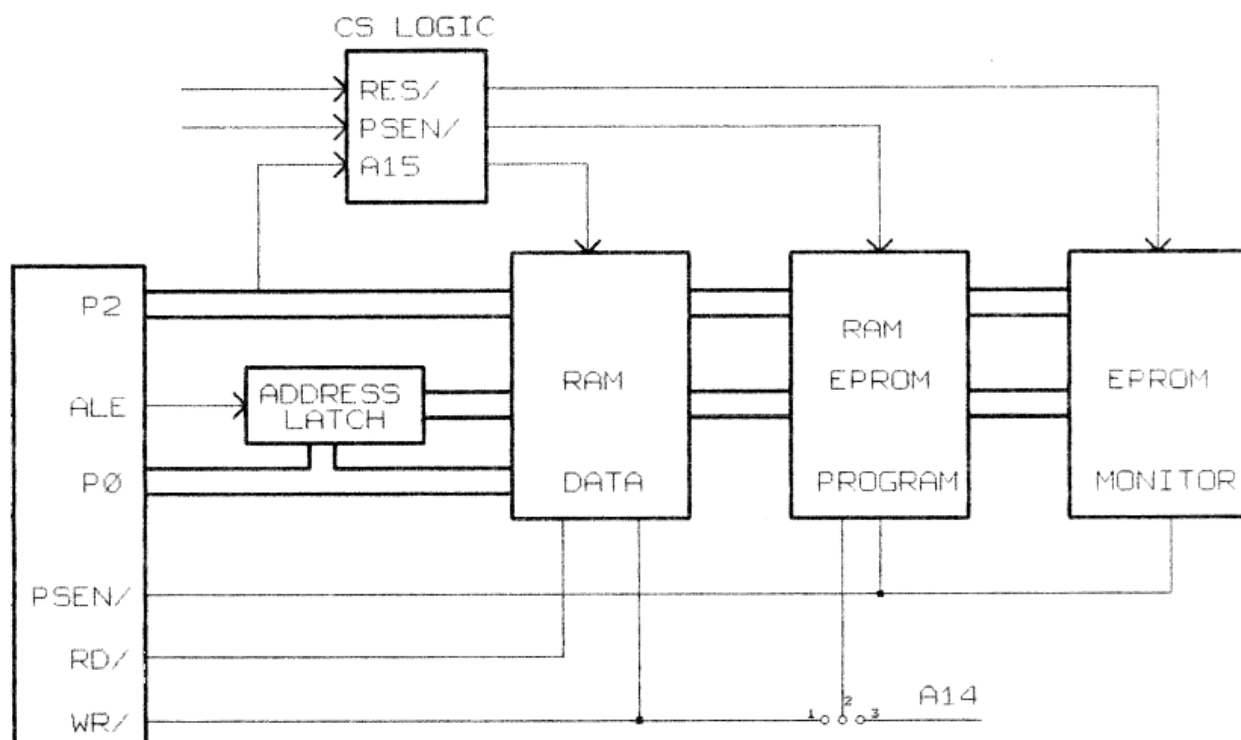
Na obrázku 1 je znázorněno blokové schéma zapojení mikroprocesoru pro použití ladícího prostředku UMON52. Dva paměťové bloky s kapacitou 32kB slouží jak jako paměť dat, tak i jako paměť programu. Toho je dosaženo zapojením jedné z pamětí tak, že se do ní zapisuje signálem WR, ale čte se signálem PSEN. Tato paměť slouží jako zapisovatelná paměť programu (CODE). Druhá paměť je zapojena jako externí paměť dat (XDATA), zapisuje se signálem WR a čte signálem RD. Třetí paměťový blok s kapacitou 8kB obsahuje ladící prostředek UMON52. Aby paměť laděného programu mohla začínat na adrese 0 a nebylo ji nutno přesměrovávat je zde použito speciální zapojení, které po signálu RESET na minimálně 3 cykly signálu PSEN vynutí výběr paměti s monitorem, poté je řízení již standardní a paměti programu se selektují pomocí adresové linky A15.

V této konfiguraci jsou paměťové bloky adresovány následovně:

paměť CODE laděného programu: 0x0000...0x7FFF

paměť CODE programu UMON52: 0x8000...0x9FFF

paměť XDATA laděného programu: 0x8000...0xFFFF



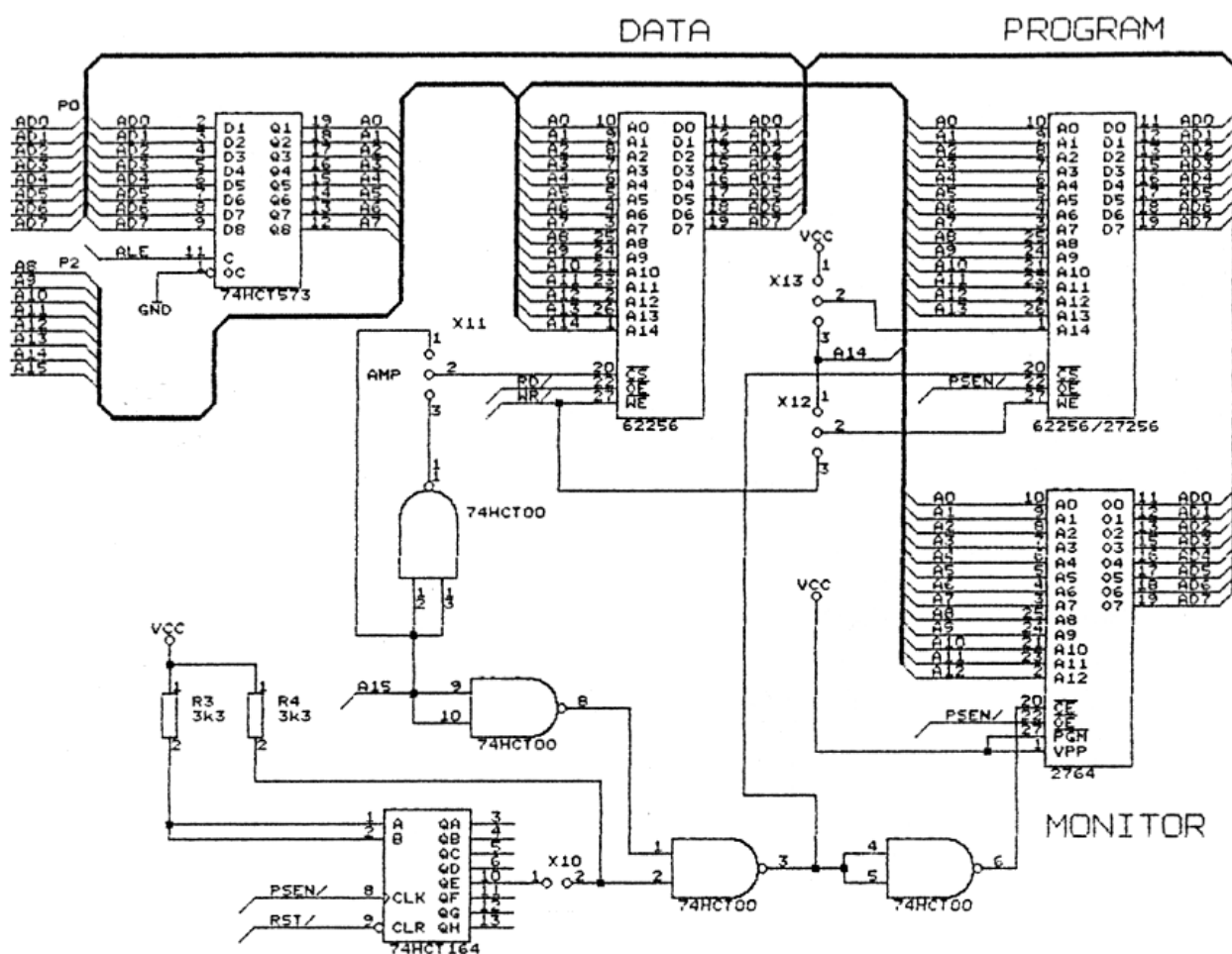
Obrázek 1 – blokový diagram zapojení jádra

**Procesorové jádro pro použití
ladícího prostředku UMON52
a paměti RAM jako paměti
programu**



Na obr. 2 je schema tohoto zapojení. Aby bylo po odladění aplikace možno přesměrovat adresu dat do oblasti 0x0000...0x7FFF a odpojit logiku pro vynucení paměti s monitorem, je ve schematu několik propojek s následujícím významem:

- X10 - vynucení monitoru, monitor je vynucen pokud je propojeno
- X11 - počáteční adresa RAM pro XDATA, 0x0000...0x7FFF pokud jsou propojeny špičky 1-2, 0x8000...0x9FFF pokud jsou propojeny špičky 2-3
- X12, X13 - volba osazení paměti programu, EPROM pokud jsou propojeny špičky 1-2, RAM pokud jsou propojeny špičky 2-3



Obrázek 2 – schema zapojení jádra